

# DIFFERENTIAL AMPLIFIER, COMPARATOR, A/D CONVERTER, SEMICONDUCTOR INTEGRATED CIRCUIT AND STORAGE DEVICE

Patent Number: JP2000188517

Publication date: 2000-07-04

Inventor(s): TANBA HIROKO

Applicant(s): HITACHI LTD

Requested Patent: ☐ JP2000188517

Application Number: JP19980364168 19981222

Priority Number(s):

IPC Classification: H03F3/45; H03F1/22; H03K5/08; H03M1/36

EC Classification:

Equivalents:

---

## Abstract

---

**PROBLEM TO BE SOLVED:** To improve the voltage amplification gain without increase of a load impedance by providing a first load resistor where one terminal is connected to the second polarities of first and third transistors and the other terminal is connected to a first power line, connecting one terminal to the second electrodes of second and fourth transistors and the other terminal to a first power line.

**SOLUTION:** A differential amplifier is provided with a p-type MOS transistor TP 3 which is connected in series between a power line to which first voltage VDD is applied and an installation line to which second voltage is applied. PMOSTP1 and TP2 of differential constitution, n-type MOS transistors TN1 and TN2 of the differential constitution and NMOSTN3 are also provided. PMOSTP3 where a source electrode is connected to the power line constitutes a first constant current source and constant bias voltage VGP is applied to a gate electrode. NMOSTN3 where a source electrode is connected to the installation line constitutes a second constant current source.

---

Data supplied from the **esp@cenet** database - I2

(11)Publication number : 2000-188517  
(43)Date of publication of application : 04.07.2000

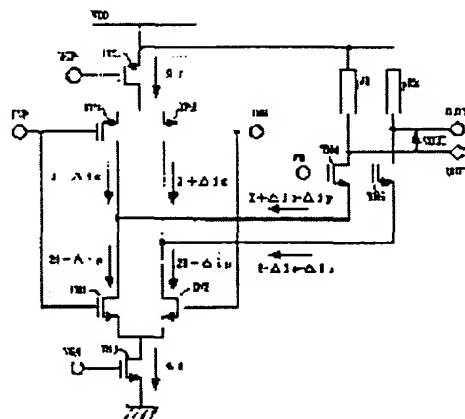
H03F	3/45
H03F	1/22
H03K	5/08
H03M	1/36

(71)Applicant : HITACHI LTD

(72)Inventor : TANBA HIROKO

(57) Abstract:

**SOLUTION:** A differential amplifier is provided with a p-type MOS transistor TP 3 which is connected in series between a power line to which first voltage VDD is applied and an installation line to which second voltage is applied. PMOSTP1 and TP2 of differential constitution, n-type MOS transistors TN1 and TN2 of the differential constitution and NMOSTN3 are also provided. PMOSTP3 where a source electrode is connected to the power line constitutes a first constant current source and constant bias voltage VGP is applied to a gate electrode. NMOSTN3 where a source electrode is connected to the installation line constitutes a second constant current source.



[Date of request for examination]

07:03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Publication for Unexamined Patent Application**

**No. 188517/2000 (Tokukai 2000-188517)**

A. Relevance of the Above-identified Document

This document has relevance to claim 1 of the present application.

[CLAIMS]

1. A differential amplifier, comprising:

a first transistor of first conduction type, including a control electrode which is connected to a first input terminal;

a second transistor of the first conduction type, including a control electrode which is connected to a second input terminal, and a first electrode which is connected to a first electrode of the first transistor;

a third transistor of second conduction type, including a second electrode which is connected to a second electrode of the first transistor;

a fourth transistor of the second conduction type, including a control electrode which is connected to the second input terminal, and a second electrode which is connected to a second electrode of the second transistor, and a first electrode which is connected to a first electrode of the third transistor;

a first constant current source provided between the first electrodes of the first and second transistors and a first power line supplied with a first voltage;

a second constant current source provided between the first electrodes of the third and fourth transistors and a second power line supplied with a second voltage;

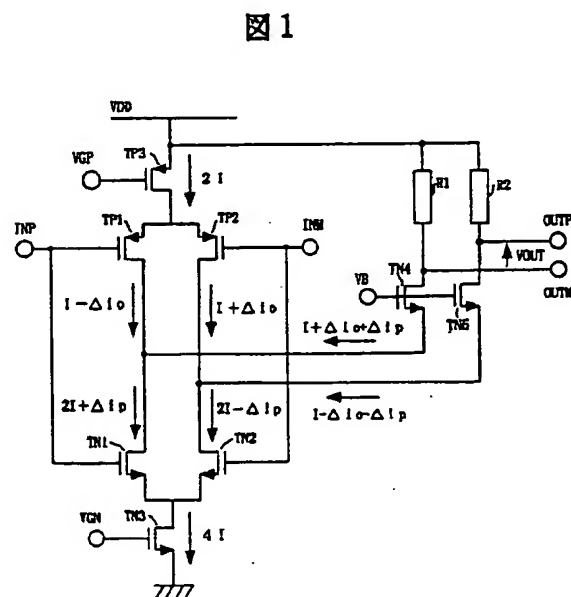
a first load resistor including a terminal connected to the second electrodes of the first and third transistors, and a terminal connected to the first power line; and

a second load resistor including a terminal connected to the second electrodes of the second and fourth transistors, and a terminal connected to the first power line.

[MEANS TO SOLVE THE PROBLEMS]

The following will briefly explain the outline of a representative example of the present invention. A differential amplifier according to the present invention includes: a first transistor of first conduction type, including a control electrode which is connected to a first input terminal; a second transistor of the first conduction type, including a control electrode which is connected to a second input terminal, and a first electrode which is connected to a first electrode of the first transistor; a third transistor of second conduction type, including a

second electrode which is connected to a second electrode of the first transistor; a fourth transistor of the second conduction type, including a control electrode which is connected to the second input terminal, and a second electrode which is connected to a second electrode of the second transistor, and a first electrode which is connected to a first electrode of the third transistor; a first constant current source provided between the first electrodes of the first and second transistors and a first power line supplied with a first voltage; a second constant current source provided between the first electrodes of the third and fourth transistors and a second power line supplied with a second voltage; a first load resistor including a terminal connected to the second electrodes of the first and third transistors, and a terminal connected to the first power line; and a second load resistor including a terminal connected to the second electrodes of the second and fourth transistors, and a terminal connected to the first power line.



(2)

1

## 【特許請求の範囲】

【請求項1】 制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、  
 制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、  
 制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電型の第3のトランジスタと、  
 制御電極が第2の入力端子に接続され、第2電極が前記第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、  
 前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、  
 前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、  
 一方の端子が前記第1および第3のトランジスタの第2電極に接続され、他方の端子が前記第1の電源線に接続される第1の負荷抵抗と、  
 一方の端子が前記第2および第4のトランジスタの第2電極に接続され、他方の端子が前記第1の電源線に接続される第2の負荷抵抗とを備えることを特徴とする差動増幅器。

【請求項2】 制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、  
 制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、  
 制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電型の第3のトランジスタと、  
 制御電極が第2の入力端子に接続され、第2電極が前記第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、  
 前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、  
 前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、  
 第1の電極が前記第1および第3のトランジスタの第2電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第7のトランジスタと、  
 第1の電極が前記第2および第4のトランジスタの第2

2

電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第8のトランジスタと、  
 一方の端子が前記第7のトランジスタの第2の電極に接続され、他方の端子が前記第1の電源線に接続される第1の負荷抵抗と、

一方の端子が前記第8のトランジスタの第2電極に接続され、他方の端子が前記第1の電源線に接続される第2の負荷抵抗とを備えることを特徴とする差動増幅器。

【請求項3】 前記第1の負荷抵抗の一方の端子、あるいは、前記第2の負荷抵抗の一方の端子に接続される出力端子を備えることを特徴とする請求項1または請求項2に記載の差動増幅器。

【請求項4】 前記第1の負荷抵抗の一方の端子に接続される第1の出力端子と、  
 前記第2の負荷抵抗の一方の端子に接続される第2の出力端子とを備えることを特徴とする請求項1または請求項2に記載の差動増幅器。

【請求項5】 制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、  
 制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、  
 制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電型の第3のトランジスタと、  
 制御電極が第2の入力端子に接続され、第2電極が前記第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、  
 前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、  
 前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、  
 第1の電極が前記第1の電源線に接続され、第2の電極が前記第1および第3のトランジスタの第2電極に接続される第1導電型の第5のトランジスタ、および第1の電極が前記第1の電源線に接続され、第2の電極が前記第2および第4のトランジスタの第2電極に接続される第1導電型の第6のトランジスタとを含む能動負荷回路とを備えることを特徴とする差動増幅器。

【請求項6】 制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、  
 制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、  
 制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電

(3)

型の第3のトランジスタと、  
制御電極が第2の入力端子に接続され、第2電極が前記第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、

前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、

前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、

第1の電極が前記第1および第3のトランジスタの第2電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第7のトランジスタと、

第1の電極が前記第2および第4のトランジスタの第2電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第8のトランジスタと、

第1の電極が前記第1の電源線に接続され、第2の電極が前記第7のトランジスタの第2電極に接続される第1導電型の第5のトランジスタ、および第1の電極が前記第1の電源線に接続され、第2の電極が前記第8のトランジスタの第2電極に接続される第1導電型の第6のトランジスタとを含む能動負荷回路とを備えることを特徴とする差動増幅器。

【請求項7】 前記第5のトランジスタの第2の電極、あるいは、前記第6のトランジスタの第2の電極に接続される出力端子を備えることを特徴とする請求項5または請求項6に記載の差動増幅器。

【請求項8】 前記第5のトランジスタの第2の電極に接続される第1の出力端子と、前記第6のトランジスタの第2の電極に接続される第2の出力端子とを備えることを特徴とする請求項5または請求項6に記載の差動増幅器。

【請求項9】 前記第1の定電流源の電流値を(I1)、前記第1の定電流源の電流値を(I2)とするとき、 $I1 < I2$ を満足することを特徴とする請求項1ないし請求項8のいずれか1項に記載の差動増幅器。

【請求項10】 前記各トランジスタは、MOSトランジスタであることを特徴とする請求項1ないし請求項9のいずれか1項に記載の差動増幅器。

【請求項11】 制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、  
制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、  
制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電型の第3のトランジスタと、  
制御電極が第2の入力端子に接続され、第2電極が前記

第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、

前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、

前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、

前記第1および第3のトランジスタの第2電極に接続される第1の出力端子と、

前記第2および第4のトランジスタの第2電極に接続される第2の出力端子と、

第1電極が前記第1の電源線に接続され、第2電極が前記第1の出力端子に接続される第5のトランジスタであって、制御電極が第2の出力端子に接続される第1導電型の第5のトランジスタと、

第1電極が前記第1の電源線に接続され、第2電極が前記第2の出力端子に接続される第6のトランジスタであって、制御電極が第1の出力端子に接続される第1導電型の第6のトランジスタと、

前記第1の出力端子と前記第2の出力端子との間に接続され、所定期間内にオンとなるスイッチング素子とを備えることを特徴とする比較器。

【請求項12】 制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、

制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、

制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電型の第3のトランジスタと、

制御電極が第2の入力端子に接続され、第2電極が前記第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、

前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、

前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、

第1の電極が前記第1および第3のトランジスタの第2電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第7のトランジスタと、

第1の電極が前記第2および第4のトランジスタの第2電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第8のトランジスタと、



(4)

5

前記第7のトランジスタの第2電極に接続される第1の出力端子と、

前記第8のトランジスタの第2電極に接続される第2の出力端子と、

第1電極が前記第1の電源線に接続され、第2電極が前記第1の出力端子に接続される第5のトランジスタであって、制御電極が第2の出力端子に接続される第1導電型の第5のトランジスタと、

第1電極が前記第1の電源線に接続され、第2電極が前記第2の出力端子に接続される第6のトランジスタであって、制御電極が第1の出力端子に接続される第1導電型の第6のトランジスタと、

前記第1の出力端子と前記第2の出力端子との間に接続され、所定期間内にオンとなるスイッチング素子とを備えることを特徴とする比較器。

【請求項13】 前記スイッチング素子は、制御電極にクロック信号が印加されるトランジスタであることを特徴とする請求項11または請求項12に記載の比較器。

【請求項14】 前記第1の定電流源の電流値を(I1)、前記第1の定電流源の電流値を(I2)とすると、 $I1 < I2$ を満足することを特徴とする請求項11ないし請求項13のいずれか1項に記載の比較器。

【請求項15】 前記各トランジスタは、MOSトランジスタであることを特徴とする請求項11ないし請求項14のいずれか1項に記載の比較器。

【請求項16】 アナログ入力信号を所定のタイミングでサンプリングするT/H回路と、

前記T/H回路からの出力電圧と、リファレンス電圧とを比較する複数の比較器と、

前記比較器からの比較出力をラッチするラッチ回路と、

前記ラッチ回路からの出力に基づきデジタル信号を出力するエンコーダと、

前記複数の比較器に対して、それぞれ異なる複数のリファレンス電圧を供給するリファレンス電圧発生回路と、

前記T/H回路、比較器、およびラッチ回路に対して、クロック信号を供給するタイミング発生回路とを備えるA/D変換器において、

前記比較器は、請求項11ないし請求項15のいずれか1項に記載の比較器であることを特徴とするA/D変換器。

【請求項17】 差動アナログ入力信号を所定のタイミングでサンプリングするT/H回路と、

前記T/H回路からの正相出力電圧を正相リファレンス電圧分、および、前記T/H回路からの逆相出力電圧を逆相リファレンス電圧分だけレベルシフトするレベルシフト回路と、

前記レベルシフト回路からの正相リファレンス電圧分だけレベルシフトされた正相出力電圧と、前記レベルシフト回路からの逆相リファレンス電圧分だけレベルシフト

6

された逆相出力電圧とを比較する複数の比較器と、

前記比較器からの比較出力をラッチするラッチ回路と、

前記ラッチ回路からの出力に基づきデジタル信号を出力するエンコーダと、

前記複数の比較器に対して、それぞれ異なる複数の正相リファレンス電圧と逆相リファレンス電圧とを供給するリファレンス電圧発生回路と、

前記T/H回路、比較器、およびラッチ回路に対して、クロック信号を供給するタイミング発生回路とを備える

10 A/D変換器において、

前記比較器は、請求項10ないし請求項15のいずれか1項に記載の比較器であることを特徴とするA/D変換器。

【請求項18】 前記レベルシフト回路は、ダイオード接続された一対のトランジスタを負荷回路として共用する第1および第2の差動増幅器であって、第1の入力端子に正相出力電圧が印加され、第2の入力端子に正相リファレンス電圧が印加される第1の差動増幅器、および第1の入力端子に逆相リファレンス電圧が印加され、第2の入力端子に逆相出力電圧が印加される第2の差動増幅器で構成されることを特徴とする請求項17に記載のA/D変換器。

【請求項19】 前記ラッチ回路は、縦続接続されたカスコードラッチ回路、RTZラッチ回路、およびNORラッチ回路で構成されることを特徴とする請求項16ないし請求項18のいずれか1項に記載のA/D変換器。

【請求項20】 A/D変換器を備える半導体集積回路装置であって、

30 前記A/D変換器は、請求項16ないし請求項19のいずれか1項に記載のA/D変換器であることを特徴とする半導体集積回路装置。

【請求項21】 デジタル信号を記録する記憶媒体と、前記記憶媒体にデジタル信号を記憶する書き込み手段と、

前記記録媒体からデジタル信号を読み出す読出し手段とを具備する記憶装置であって、

前記読出し手段は、前記記録媒体から読み出したアナログ信号を、デジタル信号に変換するA/D変換器を有する記憶装置において、

40 前記A/D変換器は、請求項16ないし請求項19のいずれか1項に記載のA/D変換器であることを特徴とする記憶装置。

【請求項22】 前記読出し手段は、PR方式の等化器と、A/D変換器と、最尤復号方式の復号化器とを有することを特徴とする請求項21に記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、差動増幅器、比較器、A/D変換器、半導体集積回路装置および記憶装置に係わり、特に、消費電力を増加させることなく、電圧

50

(5)

7

増幅利得、あるいは、動作速度を向上させる場合に有効な技術に関する。

【0002】

【従来の技術】ハード・ディスク装置(HDD)、デジタルVTR、光ディスク装置などの記録装置では、PRML(Partial Response Maximum Likelihood)と呼ぶ信号処理技術が採用されている。このPRML技術は、一般に、磁気ディスク、磁気テープ、光ディスク等の記録媒体から読み出したアナログ信号の波形を、A/D変換器でデジタル信号に変換し、PR(Partial Response)特性を持つPR等化器で等化した後、最後に、最尤(Maximum Likelihood)復号方式であるビタビ復号回路で復号するものである。このPRML技術を採用することにより、既存の記録再生系を大幅に変更することなく、信号処理によって記録密度を1.2~1.5倍程度向上させることが可能である。この場合に、前記A/D変換器の内部回路として、比較器が使用されるが、この比較器として、フォールデッドカスコード型比較器が知られている。なお、フォールデッドカスコード型比較器は、例えば、下記文献(イ)に記載されている。

(イ)'A 70-MS/s 110mW 8-b CMOS Folding and Interpolating A/D Converter' IEEE JOURNAL OF SOLID-STATE CIRCUITS VOL. 30, NO. 12, DECEMBER 1995 P. 1306

【0003】

【発明が解決しようとする課題】前記A/D変換器の動作速度を向上させるためには、前記A/D変換器の内部回路として使用される比較器電圧増幅利得を向上させることが有効である。そして、前記A/D変換器の内部回路として使用されるフォールデッドカスコード型比較器の電圧増幅利得を大きくするためには、フォールデッドカスコード型比較器を流れる電流を増大するか、あるいは負荷の抵抗成分を大きくする必要がある。しかしながら、フォールデッドカスコード型比較器を流れる電流を大きくすると消費電流が増大し、また、負荷の抵抗成分を大きくすると出力インピーダンスが大きくなり、フォールデッドカスコード型比較器の後段に接続される回路の駆動する時間が遅くなるという問題点があった。本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、差動増幅器において、消費電流、負荷インピーダンスを増加させることなく、電圧増幅利得を向上させることが可能となる技術を提供することにある。

【0004】また、本発明の他の目的は、比較器において、消費電力を増大させることなく、動作速度を向上させることが可能となる技術を提供することにある。

【0005】また、本発明の他の目的は、A/D変換器において、消費電力を増大させることなく、動作速度を向上させることが可能となる技術を提供することにある。

【0006】また、本発明の他の目的は、記憶装置にお

8

いて、消費電力を増大させることなく、動作速度を向上させることが可能となる技術を提供することにある。

【0007】また、本発明の他の目的は、前記A/D変換器を搭載する半導体集積回路装置を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0009】

10 【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、差動増幅器において、制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電型の第3のトランジスタと、制御電極が第2の入力端子に接続され、第2電極が前記第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、一方の端子が前記第1および第3のトランジスタの第2電極に接続され、他方の端子が前記第1の電源線に接続される第1の負荷抵抗と、一方の端子が前記第2および第4のトランジスタの第2電極に接続され、他方の端子が前記第1の電源線に接続される第2の負荷抵抗とを備えることを特徴とする。

20 【0010】また、本発明は、差動増幅器において、制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電型の第3のトランジスタと、制御電極が第2の入力端子に接続され、第2電極が前記第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、第1の電極が前記第1および第3のト

9

ランジスタの第2電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第7のトランジスタと、第1の電極が前記第2および第4のトランジスタの第2電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第8のトランジスタと、一方の端子が前記第7のトランジスタの第2の電極に接続され、他方の端子が前記第1の電源線に接続される第1の負荷抵抗と、一方の端子が前記第8のトランジスタの第2電極に接続され、他方の端子が前記第1の電源線に接続される第2の負荷抵抗とを備えることを特徴とする。

【0011】また、本発明は、差動増幅器において、前記第1の負荷抵抗の一方の端子、あるいは、前記第2の負荷抵抗の一方の端子に接続される出力端子を備えることを特徴とする。

【0012】また、本発明は、差動増幅器において、前記第1の負荷抵抗の一方の端子に接続される第1の出力端子と、前記第2の負荷抵抗の一方の端子に接続される第2の出力端子とを備えることを特徴とする。

【0013】また、本発明は、差動増幅器において、前記第1および第2の負荷抵抗に代えて、能動負荷回路を使用することを特徴とする。

【0014】また、本発明は、差動増幅器において、前記第1の定電流源の電流値を(I1)、前記第1の定電流源の電流値を(I2)とすると、 $I1 < I2$ を満足することを特徴とする。

【0015】また、本発明は、比較器において、制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電型の第3のトランジスタと、制御電極が第2の入力端子に接続され、第2電極が前記第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、前記第1および第3のトランジスタの第2電極に接続される第1の出力端子と、前記第2および第4のトランジスタの第2電極に接続される第2の出力端子と、第1電極が前記第1の電源線に接続され、第2電極が前記第1の出力端子に接続される第5のトランジスタであって、制御電極が第2の出力端子に接続される第1導電型の第5のトランジスタと、第1電極が前記第1の電源線に接続され、第2電極が前記第2の出力端子に

(6)

10

接続される第6のトランジスタであって、制御電極が第1の出力端子に接続される第1導電型の第6のトランジスタと、前記第1の出力端子と前記第2の出力端子との間に接続され、所定期間内にオンとなるスイッチング素子とを備えることを特徴とする。

【0016】また、本発明は、比較器において、制御電極が第1の入力端子に接続される第1導電型の第1のトランジスタと、制御電極が第2の入力端子に接続され、第1の電極が前記第1のトランジスタの第1の電極に接続される第1導電型の第2のトランジスタと、制御電極が第1の入力端子に接続され、第2電極が前記第1のトランジスタの第2の電極に接続される第2導電型の第3のトランジスタと、制御電極が第2の入力端子に接続され、第2電極が前記第2のトランジスタの第2の電極に接続される第4のトランジスタであって、第1の電極が前記第3のトランジスタの第1の電極に接続される第2導電型の第4のトランジスタと、前記第1および第2のトランジスタの第1電極と、第1の電圧が印加される第1の電源線との間に接続される第1の定電流源と、前記第3および第4のトランジスタの第1電極と、第2の電圧が印加される第2の電源線との間に接続される第2の定電流源と、第1の電極が前記第1および第3のトランジスタの第2電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第7のトランジスタと、第1の電極が前記第2および第4のトランジスタの第2電極に接続され、制御電極に一定の第1のバイアス電圧が印加される第2導電型の第8のトランジスタと、前記第7のトランジスタの第2電極に接続される第1の出力端子と、前記第8のトランジスタの第2電極に接続される第2の出力端子と、第1電極が前記第1の電源線に接続され、第2電極が前記第1の出力端子に接続される第5のトランジスタであって、制御電極が第2の出力端子に接続される第1導電型の第5のトランジスタと、第1電極が前記第1の電源線に接続され、第2電極が前記第2の出力端子に接続される第6のトランジスタであって、制御電極が第1の出力端子に接続される第1導電型の第6のトランジスタと、前記第1の出力端子と前記第2の出力端子との間に接続され、所定期間内にオンとなるスイッチング素子とを備えることを特徴とする。

【0017】また、本発明は、比較器において、前記スイッチング素子が、制御電極にクロック信号が印加されるトランジスタであることを特徴とする。

【0018】また、本発明は、比較器において、前記第1の定電流源の電流値を(I1)、前記第1の定電流源の電流値を(I2)とすると、 $I1 < I2$ を満足することを特徴とする。

【0019】また、本発明は、アナログ入力信号を所定のタイミングでサンプリングするT/H回路と、前記T/H回路からの出力電圧と、リファレンス電圧とを比較

(7)

11

する複数の比較器と、前記比較器からの比較出力をラッチするラッチ回路と、前記ラッチ回路からの出力に基づきデジタル信号を出力するエンコーダーと、前記複数の比較器に対して、それぞれ異なる複数のリファレンス電圧を供給するリファレンス電圧発生回路と、前記T/H回路、比較器、およびラッチ回路に対して、クロック信号を供給するタイミング発生回路とを備えるA/D変換器において、前記比較器は、前記記載の比較器であることを特徴とする。

【0020】また、本発明は、差動アナログ入力信号を所定のタイミングでサンプリングするT/H回路と、前記T/H回路からの正相出力電圧を正相リファレンス電圧分、および、前記T/H回路からの逆相出力電圧を逆相リファレンス電圧分だけレベルシフトするレベルシフト回路と、前記レベルシフト回路からの正相リファレンス電圧分だけレベルシフトされた正相出力電圧と、前記レベルシフト回路からの逆相リファレンス電圧分だけレベルシフトされた逆相出力電圧とを比較する複数の比較器と、前記比較器からの比較出力をラッチするラッチ回路と、前記ラッチ回路からの出力に基づきデジタル信号を出力するエンコーダーと、前記複数の比較器に対して、それぞれ異なる複数の正相リファレンス電圧と逆相リファレンス電圧とを供給するリファレンス電圧発生回路と、前記T/H回路、比較器、およびラッチ回路に対して、クロック信号を供給するタイミング発生回路とを備えるA/D変換器において、前記記載の比較器であることを特徴とする。

【0021】また、本発明は、A/D変換器において、前記レベルシフト回路は、ダイオード接続された一対のトランジスタを負荷回路として共用する第1および第2の差動増幅器であって、第1の入力端子に正相出力電圧が印加され、第2の入力端子に正相リファレンス電圧が印加される第1の差動増幅器、および第1の入力端子に逆相リファレンス電圧が印加され、第2の入力端子に逆相出力電圧が印加される第2の差動増幅器で構成されることを特徴とする。

【0022】また、本発明は、A/D変換器において、前記ラッチ回路は、縦続接続されたカスコードラッチ回路、RTZラッチ回路、およびNORラッチ回路で構成されることを特徴とする。

【0023】また、本発明は、A/D変換器を備える半導体集積回路装置であって、前記A/D変換器は、前記記載のA/D変換器であることを特徴とする。

【0024】また、本発明は、デジタル信号を記録する記憶媒体と、前記記憶媒体にデジタル信号を記憶する書き込み手段と、前記記録媒体からデジタル信号を読み出す読出し手段とを具備する記憶装置であって、前記読出し手段は、前記記録媒体から読み出したアナログ信号を、デジタル信号に変換するA/D変換器を有する記憶装置において、前記A/D変換器は、前記記載のA/D

12

変換器であることを特徴とする。

【0025】また、本発明は、記憶装置において、前記読出し手段は、PR方式の等化器と、A/D変換器と、最尤復号方式の復号化器とを有することを特徴とする。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0027】【実施の形態1】図1は、本発明の実施の形態1の差動増幅器の回路構成を示す回路図である。本実施の形態の差動増幅器は、第1の電圧(VDD)が印加される電源ライン(第1の電源線)と、第2の電圧(GND)が印加される接地ライン(第2の電源線)との間に、直列に接続されるp型MOSトランジスタ(以下、PMOSと称する。)(TP3)と、差動構成のPMOS(TP1, TP2)と、差動構成のn型MOSトランジスタ(以下、NMOSと称する。)(TN1, TN2)と、NMOS(TN3)とを備える。ここで、ソース電極が電源ラインに接続されるPMOS(TP3)は、第1の定電流源を構成するものであり、ゲート電極に一定のバイアス電圧(VGP)が印加される。同様に、ソース電極が接地ラインに接続されるNMOS(TN3)は、第2の定電流源を構成するものであり、ゲート電極に一定のバイアス電圧(VGN)が印加される。また、PMOS(TP1, TP2)の各ソース電極は、PMOS(TP3)のドレイン電極に接続され、同様に、NMOS(TN1, TN2)の各ソース電極は、NMOS(TN3)のドレイン電極に接続される。

【0028】また、PMOS(TP1)のドレイン電極は、NMOS(TN1)のドレイン電極に接続されるとともに、PMOS(TP1)のゲート電極と、NMOS(TN1)のゲート電極とは、第1の入力端子(INP)に接続される。同様に、PMOS(TP2)のドレイン電極は、NMOS(TN2)のドレイン電極に接続されるとともに、PMOS(TP2)のゲート電極と、NMOS(TN2)のゲート電極とは、第2の入力端子(INM)に接続される。

【0029】さらに、PMOS(TP1)のドレイン電極(または、NMOS(TN1)のドレイン電極)と、電源ラインとの間に、負荷抵抗(R1)とNMOS(TN4)との直列回路が接続される。ここで、NMOS(TN4)は、ソース電極が、PMOS(TP1)のドレイン電極(または、NMOS(TN1)のドレイン電極)に接続され、ドレイン電極が負荷抵抗(R1)に接続される。同様に、PMOS(TP2)のドレイン電極(または、NMOS(TN2)のドレイン電極)と、電源ラインとの間に、負荷抵抗(R2)とNMOS(TN5)との直列回路が接続される。ここで、NMOS(TN5)は、ソース電極が、PMOS(TP2)のドレ

(8)

13

ン電極（または、NMOS（TN2）のドレイン電極）に接続され、ドレイン電極が負荷抵抗（R2）に接続される。また、NMOS（TN4, TN5）は、各ゲート電極に一定のバイアス電圧（VB）が印加され、さらに、NMOS（TN4）のドレイン電極は第2の出力端子（OUTM）に、NMOS（TN5）のドレイン電極は第1の出力端子（OUTP）に接続される。このNMOS（TN4, TN5）は、PMOS（TP1）のドレイン電極（または、NMOS（TN1）のドレイン電極）と、PMOS（TP2）のドレイン電極（または、NMOS（TN2）のドレイン電極）を一定の電圧に保持するためのものであり、PMOS（TP1）のドレイン電極（または、NMOS（TN1）のドレイン電極）と、PMOS（TP2）のドレイン電極（または、NMOS（TN2）のドレイン電極）の電圧が一定に保持される場合は必要ない。

【0030】以下、図1を参照して、本実施の形態の差 \*

$$V_{OUT} = (V_{DD} - R_L \cdot I) - (V_{DD} - R_L \cdot I) \\ = 0 \quad \dots \dots \dots (1)$$

ここで、第1の入力端子（INP）に印加される入力信号の電圧が（ $V + \Delta v$ ）、第2の入力端子（INM）に印加される入力信号の電圧が（ $V - \Delta v$ ）となると、PMOS（TP1）を流れる電流は（ $I - \Delta i_o$ ）、PMOS（TP2）を流れる電流は（ $I + \Delta i_o$ ）となり、また、NMOS（TN1）を流れる電流は（ $2 \cdot I + \Delta i_p$ ）、NMOS（TN2）を流れる電流は（ $2 \cdot I - \Delta i_p$ ）となる。したがって、負荷抵抗（R1）を流れ ※

$$V_{OUT} = (V_{DD} - R_L \cdot (I - \Delta i_o - \Delta i_p)) \\ - (V_{DD} - R_L \cdot (I + \Delta i_o + \Delta i_p)) \\ = 2 \cdot (\Delta i_o + \Delta i_p) \cdot R_L \quad \dots \dots \dots (2)$$

図2は、前記文献（イ）に示す従来のフォールデッドカスコード型比較器をアンプ形式にした回路構成を示す回路図である。図2に示すように、従来のフォールデッドカスコードアンプは、差動増幅回路を構成するPMOS（TP1, TP2）と直列に、NMOS（TN6, TN7）が接続されている点で、本実施の形態の差動増幅器と相違する。ここで、NMOS（TN6, TN7）は、共に定電流源を構成するものであり、ゲート電極に一定のバイアス電圧（VGN）が印加され、また、ドレイン電極がPMOS（TP1, TP2）のドレイン電極に、

ソース電極が接地ラインに接続される。  
【0033】以下、図2を参照して、従来のフォールデッドカスコードアンプの動作を説明する。但し、説明を簡単にするために、PMOS（TP3）を流れる電流が  $2 \cdot I$ 、NMOS（TN6, TN7）を流れる電流が  $2 \cdot I$  であると仮定し、また、負荷抵抗（R1, R2）の抵抗値は共に  $R_L$  とする。前記第1の入力端子（INP）と第2の入力端子（INM）に印加される入力信号の電圧が同一（V）の場合は、PMOS（TP1）と ★

$$V_{OUT} = (V_{DD} - R_L \cdot (I - \Delta i))$$

14

\* 動増幅器の動作を説明する。但し、説明を簡単にするために、PMOS（TP3）を流れる電流が  $2 \cdot I$ 、NMOS（TN3）を流れる電流が  $4 \cdot I$  であると仮定し、また、負荷抵抗（R1, R2）の抵抗値は共に  $R_L$  とする。前記第1の入力端子（INP）と第2の入力端子（INM）に印加される入力信号の電圧が同一（V）の場合は、PMOS（TP1）とPMOS（TP2）とを流れる電流は同一（I）であり、また、NMOS（TN1）とNMOS（TN2）とを流れる電流も同一（ $2 \cdot I$ ）である。したがって、負荷抵抗（R1, R2）を流れる電流も同一（I）となるので、第1の出力端子（OUTP）と第2の出力端子（OUTM）との間の電位差（VOUT）は、下記（1）式に示すように、同一（VOUT=0）となる。

【0031】

【数1】

※ 流れる電流は（ $I + \Delta i_o + \Delta i_p$ ）、負荷抵抗（R2）を流れる電流は（ $I - \Delta i_o - \Delta i_p$ ）となる。そのため、下記（2）式に示すように、第1の出力端子（OUTP）と第2の出力端子（OUTM）との間の電位差（VOUT）は、 $2 \cdot (\Delta i_o + \Delta i_p) \cdot R_L$  となる。

【0032】

【数2】

★ PMOS（TP2）とを流れる電流は同一（I）であり、また、NMOS（TN1）とNMOS（TN2）とを流れる電流も同一（ $2 \cdot I$ ）である。したがって、負荷抵抗（R1, R2）を流れる電流も同一（I）となるので、第1の出力端子（OUTP）と第2の出力端子（OUTM）との間の電位差（VOUT）は、0（VOUT=0）となる。ここで、第1の入力端子（INP）に印加される入力信号の電圧が（ $V + \Delta v$ ）、第2の入力端子（INM）に印加される入力信号の電圧が（ $V - \Delta v$ ）となると、PMOS（TP1）を流れる電流は（ $I - \Delta i$ ）、PMOS（TP2）を流れる電流は（ $I + \Delta i$ ）となるので、負荷抵抗（R1）を流れる電流は（ $I + \Delta i$ ）、負荷抵抗（R2）を流れる電流は（ $I - \Delta i$ ）となる。そのため、下記（3）式に示すように、第1の出力端子（OUTP）と第2の出力端子（OUTM）との間の電位差（VOUT）は、 $2 \cdot \Delta i \cdot R_L$  となる。

【0034】

【数3】

(9)

15

$$- (V_{DD} - R_L \cdot (I + \Delta i))$$

$$= 2 \cdot \Delta i \cdot R_L \dots \dots \dots (3)$$

前記(2)式、(3)式から理解できるように、本実施の形態の差動増幅器および従来のフォールデッドカスコードアンプにおいて、負荷抵抗( $R_1$ ,  $R_2$ )の抵抗値が一定とすると、本実施の形態の差動増幅器は、従来のフォールデッドカスコードアンプに比べて、電圧増幅利得を大きくすることができる。また、本実施の形態の差動増幅器全体を流れる電流は( $4 \cdot I$ )であり、これは、従来のフォールデッドカスコードアンプ全体を流れる電流と同じである。

$$G_m = g_m(TP1, TP2) + g_m(TN1, TN2) \dots \dots (4)$$

例えば、本実施の形態の差動増幅器において、下記

(5)式を満足するものとする。

$$I(TN3) = 2 \cdot I(TP3)$$

$$V_e(TN1, TN2) = V_e(TP1, TP2)$$

$$V_e = V_{gs} - V_{th} \dots \dots \dots (5)$$

但し、 $I(TP3)$ は、定電流源を構成するPMOS( $TP3$ )により供給される定電流の電流値、 $I(TN3)$ は、定電流源を構成するNMOS( $TN3$ )に吸い込まれる定電流の電流値、 $V_{gs}$ はゲート・ソース間電圧、 $V_{th}$ は閾値電圧である。この場合に、本実施の形

$$g_m(TN1, TN2) = 2 \cdot g_m(TP1, TP2)$$

$$G_m = 3 \cdot g_m(TP1, TP2) \dots \dots \dots (6)$$

また、本実施の形態の差動増幅器の電圧増幅利得( $G_a$ )は、下記(7)のように表される。

$$G_a = G_m \cdot R_L$$

$$= 3 \cdot g_m(TP1, TP2) \cdot R_L \dots \dots \dots (7)$$

このように、本実施の形態の差動増幅器および従来のフォールデッドカスコードアンプにおいて、負荷抵抗( $R_1$ ,  $R_2$ )の抵抗値が一定とすると、本実施の形態の差動増幅器は、従来のフォールデッドカスコードアンプに比べて、約3倍の電圧増幅利得を得ることができる。したがって、本実施の形態の差動増幅器では、消費電流、負荷インピーダンスを増加させることなく、電圧増幅利得を向上させることができる。なお、本実施の形態の差動増幅器において、図3に示すように、負荷抵抗( $R_1$ ,  $R_2$ )に代えて、PMOS( $TP10$ ,  $TP11$ )で構成される能動負荷回路を使用することもできる。また、本実施の形態の差動増幅器において、差動入力信号の代わりに、単一のシングル入力信号であっても良く、この場合は、第2の入力端子( $INM$ )には、基準バイアス電圧を印加すればよい。さらに、本実施の形態の差動増幅器において、差動出力信号を出力する構成に代えて、単一のシングル出力信号を出力する構成としてもよい。

【0040】

【実施の形態2】図4は、本発明の実施の形態2の比較器の回路構成を示す回路図である。本実施の形態の比較器は、出力段(負荷回路)の構成が前記実施の形態1の

16

\*【0035】本実施の形態の差動増幅器の相互コンダクタンス( $G_m$ )は、下記(4)式に示すように、PMOS( $TP1$ ,  $TP2$ )で構成される差動増幅回路の相互コンダクタンス( $g_m(TP1, TP2)$ )と、NMOS( $TN1$ ,  $TN2$ )で構成される差動増幅回路の相互コンダクタンス( $g_m(TN1, TN2)$ )との和で表される。

【0036】

\*【数4】

※【0037】

※【数5】

★態の差動増幅器の相互コンダクタンス( $G_m$ )は、下記(6)式のように表される。

【0038】

【数6】

☆【0039】

☆【数7】

差動増幅器と相違する。以下、相違点を中心に本実施の形態の比較器について説明する。本実施の形態の比較器は、図1に示す負荷抵抗( $R_1$ ,  $R_2$ )に代えて、PMOS( $TP4$ ,  $TP5$ )が使用される。ここで、PMOS( $TP4$ )のゲート電極は、PMOS( $TP5$ )のドレイン電極に接続され、また、PMOS( $TP5$ )のゲート電極は、PMOS( $TP4$ )のドレイン電極に接続される。さらに、PMOS( $TP4$ ,  $TP5$ )のドレイン電極の間に、PMOS( $TP6$ )が接続される。このPMOS( $TP6$ )のゲート電極には、クロック信号( $CP1$ )が印加される。

【0041】以下、本実施の形態の比較器の動作を説明する。クロック信号( $CP1$ )がLowレベル(以下、Lレベルと称する。)であるブリアンプ動作時には、PMOS( $TP6$ )はオンであり、入力端子( $INP$ ,  $INM$ )に印加される信号電圧による信号電流( $\Delta i_o$ ,  $\Delta i_p$ )は、PMOS( $TP4 \sim TP6$ )を流れる。例えば、図4に示すように、ブリアンプ動作時に、経路(L1)を流れる電流が( $I + \Delta i_o + \Delta i_p$ )、経路(L2)を流れる電流が( $I - \Delta i_o - \Delta i_p$ )であるとする、PMOS( $TP5$ )を流れる電流の一部はPMOS( $TP6$ )を流れる。この場合に、PMOS(T



(10)

17

P6)のオン抵抗により、出力端子(OUTP, OUTM)間に電位差(Vout)が生じる。次に、クロック信号(CP1)がHighレベル(以下、Hレベルと称する。)であるラッチ動作時に、PMOS(TP6)はオフとなり、信号電流( $\Delta i_o$ ,  $\Delta i_p$ )は、PMOS(TP4, TP5)を流れる。この場合に、出力端子(OUTP, OUTM)間の電位差(Vout)により、PMOS(TP4, TP5)に正帰還がかかるため、出力端子(OUTP, OUTM)の電位差(Vout)の振幅が拡大される。例えば、プリアンプ動作時に、第2の出力端子(OUTM)が低電圧、第1の出力端子(OUTP)が高電圧であるとする、ラッチ動作時には、第2の出力端子(OUTM)の電圧がゲート電極に印加されるPMOS(PT5)がより導通状態になるように動作し、また、第1の出力端子(OUTP)の電圧がゲート電極に印加されるPMOS(PT4)がより不導通状態になるように動作し、その結果、第1の出力端子(OUTP)がより高電圧、第2の出力端子(OUTM)がより低電圧となる。

【0042】図5は、本実施の形態の比較器の動作を、従来例と比較して説明するための波形図である。この図5の波形図から分かるように、本実施の形態の比較器では、ラッチ動作時に、第1の出力端子(OUTP)および第2の出力端子(OUTM)の電圧が速やかに所定の電圧レベルに到達するのに対して、従来の比較器では、プリアンプ動作時のセッティング不足により、ラッチ動作時に、第1の出力端子(OUTP)および第2の出力端子(OUTM)の電圧が所定の電圧レベルに到達するまで多大な時間がかかり、結果として、誤った比較結果を出力する場合があった。

【0043】このように、本実施の形態の比較器によれば、前記実施の形態1の差動増幅器を使用し、消費電流、負荷インピーダンスを増加させることなく、差動増幅器の電圧増幅利得を向上させることができる。これにより、本実施の形態の比較器では、消費電力を増大させることなく、比較器の動作速度を向上させることができ、高速化、低消費電力化を達成することが可能となる。

【0044】[実施の形態3] 図6は、本発明の実施の形態3のフラッシュ型A/D変換器の概略構成を示すブロック図である。本実施の形態は、前記実施の形態2の\*

$$\begin{aligned} \text{OUTP} &= (I_{Pv} - R_{Pv}) - (I_{Mv} - R_{Mv}) \\ \text{OUTM} &= -((I_{Pv} - R_{Pv}) - (I_{Mv} - R_{Mv})) \end{aligned} \quad (8)$$

ここで、 $I_{Pv}$ は入力端子(INP)に入力される正相入力信号電圧、 $I_{Mv}$ は入力端子(INM)に入力される逆相入力信号電圧、 $R_{Pv}$ はリファレンス電圧入力端子(RP)に入力される正相リファレンス電圧、 $R_{Mv}$ はリファレンス電圧入力端子(RM)に入力される逆相リファレンス電圧である。

18

\* 比較器を使用したフラッシュ型A/D変換器であり、同図において、1はT/H(Track and Hold)回路、2はリファレンス電圧発生回路、3はレベルシフト回路、4は比較器、5はラッチ回路、6はエンコーダー、7はバイアス回路、8はタイミング発生回路である。図7は、図6に示すレベルシフト回路3、比較器4およびラッチ回路5の回路構成を示す回路図であり、また、図8は、図7に示す各部のタイミングチャートを示す図である。以下、図7、図8を用いて、本実施の形態のA/D変換器の動作について説明する。なお、 $n$ はA/D変換器のビット数とする。差動アナログ入力信号(AINP, AINM)は、T/H回路1によってサンプリングされ、 $(2^n - 1)$ 個から成るレベルシフト回路3の入力端子(INP, INM)に共通に入力される(図8の①参照)。

【0045】リファレンス電圧発生回路2は、その差がアナログ入力信号のフル振幅に相当する電圧(VRT, VRB)が入力され、その電圧(VRT, VRB)を $(2^n)$ 等分した電圧を生成する。このリファレンス電圧発生回路2で生成されたそれぞれの電圧は、レベルシフト回路3のリファレンス電圧入力端子(RP, RM)の各々に入力される。

【0046】レベルシフト回路3は、ダイオード接続されたNMOS(TN20, TN21)を負荷回路として共用する2つの差動増幅回路から構成される。ここで、一方の差動増幅回路を構成するNMOS(TN22)のゲート電極には入力端子(INP)に入力される正相入力信号が印加され、NMOS(TN23)のゲート電極にはリファレンス電圧入力端子(RP)に入力される正相リファレンス電圧が印加される。同様に、他方の差動増幅回路を構成するNMOS(TN24)のゲート電極にはリファレンス電圧入力端子(RM)に入力される逆相リファレンス電圧が印加され、NMOS(TN25)のゲート電極には入力端子(INM)に入力される逆相入力信号が印加される。このレベルシフト回路3は、入力端子(INP, INM)およびリファレンス電圧入力端子(RP, RM)に入力される電圧から、下記(8)に示す演算を行い、出力端子(OUTP, OUTM)に出力する。

【0047】  
【数8】

【0048】このレベルシフト回路3の出力は、比較器4の入力端子(INP, INM)に入力される。この比較器4は、前記実施の形態2の比較器であり、比較器4は、入力端子(INP, INM)に入力された電圧の大小関係を比較し出力する(図8の②参照)。即ち、比較器4は、正相入力信号電圧( $I_{Pv}$ )を正相リファレン

(ii)

19

ス電圧(RPv)分だけレベルシフトした電圧と、逆相入力信号電圧(IMv)を逆相リファレンス電圧(RMv)分だけレベルシフトした電圧との大小関係と比較する。ラッチ回路5は、カスコードラッチ回路51、RTZラッチ回路52、NORラッチ回路53から構成され、クロック信号(CP2、CP3)により、比較器4の出力を一定のタイミングごとにラッチし、かつ比較結果をCMOSレベルまで増幅する。ここで、カスコードラッチ回路51は、PMOS(TP30ないしTP33)と、NMOS(TN30、TN31、TN33)とで構成され、クロック信号(CP2)がHレベルの時(プリ動作時)に、NMOS(TN33)はオンとなり、前記したように、カスコードラッチ回路51の出力端子間(NMOS(TN30)およびNMOS(TN31)のドレイン電極間)に電位差が生じる。次に、クロック信号(CP1)がLレベルの時(ラッチ動作時)に、NMOS(TN33)はオフとなり、NMOS(TN30)およびNMOS(TN31)は、出力端子間の電位差により正帰還がかかるため、NMOS(TN30)およびNMOS(TN31)は、出力端子に出力端子間の電位差を拡大した電圧を出力する(図8の③参照)。

【0049】RTZラッチ回路52は、PMOS(TP34ないしTP36)と、NMOS(TN34~TN37)とで構成され、クロック信号(CP3)がHレベルの時(リセット動作時)に、NMOS(TN36、TN37)はオン、PMOS(TP34)はオフとなり、PMOS(TP35)およびPMOS(TP35)のドレイン電極はAGND2の電圧となる。次に、クロック信号(CP3)がLレベルの時(ラッチ動作時)に、NMOS(TN36、TN37)はオフ、PMOS(TP34)はオンとなり、PMOS(TP35)およびPMOS(TP35)は、NMOS(TN34)およびNMOS(TN35)のゲート電極に入力される入力信号電圧をラッチし、かつCMOSレベルまで増幅して出力する(図8の④参照)。NORラッチ回路53は、ノア回路(NOR1、NOR2)で構成され、RTZラッチ回路52の出力を保持する。

【0050】エンコーダ6は、 $(2^n-1)$ 個のラッチ出力(サーマルコード)を、nビットのデジタルデータ(バイナリコード)に変換する。バイアス回路7は、T/H回路1、リファレンス電圧発生回路2、レベルシフト回路3、比較器4等の回路で必要なバイアス電圧を発生する。タイミング発生回路8は、T/H回路1、比較器4、ラッチ回路5、エンコーダ6等の回路で必要なクロックタイミング信号(TH、CP1、CP2、CP3)を生成する。本実施の形態のA/D変換器は、前記実施の形態2の比較器4を使用することにより、消費電力を増加することなく高速動作が可能であるので、高速、低消費電力なA/D変換器を実現できる。なお、本

20

実施の形態のA/D変換器において、差動入力信号の代わりに、単一のシングル入力信号であっても良く、この場合は、レベルシフト回路3は必要なく、比較器4には、シングル入力信号とリファレンス電圧とが入力される。

【0051】図9は、本実施の形態のA/D変換器が適用される装置の一例としてハードディスク装置の概略構成を示すブロック図である。同図に示すように、ハードディスク装置100は、ディスクコントローラ210を介して、ホストコンピュータ200と接続される。ホストコンピュータ200からの書き込みデータは、ディスクコントローラ210、ハードディスクコントローラ101を介して、エンコーダ/デコーダ回路102に入力され、エンコーダ/デコーダ回路102で、記録符号(例えば、8-9変換符号)に変換される。このエンコーダ/デコーダ回路102から記録符号は、リード・ライトアンプ103で増幅された後、磁気ディスク113に記憶される。磁気ディスクからの読み出し信号は、リード・ライトアンプ103およびAGCアンプ104で増幅されて後、アクティブフィルタ105でノイズ除去され、A/D変換器106に入力される。このA/D変換器106からのデータは、波形等化器107で波形等化された後、ビタビディテクタ108でビタビ復号(最尤復号)され、エンコーダ/デコーダ回路102で元のデータ形式に変換され、ホストコンピュータ200側に出力される。ここで、波形等化器107は、デジタル信号処理でPR等化を行う。また、リード/ライトPLL回路109は、A/D変換器106、波形等化器107およびエンコーダ/デコーダ回路102で使用するクロック信号を生成する。ここで、A/D変換器106は、前記実施の形態3のA/D変換器である。ハードディスクコントローラ101は、ボイスコイルモータドライバ110、スピンドルモータドライバ111を制御し、前記したデータの書き込み、読み出しの際の、磁気ヘッド112の位置決めを行い、また、スピンドルモータ114を制御する。なお、図9において、マイコン115は、ハードディスク装置100全体を制御する。

【0052】図9に示すハードディスク装置は、A/D変換器106として、前記実施の形態3のA/D変換器を使用することにより、A/D変換器106の高速化、低消費電力化を達成することができるので、ハードディスク装置全体の高速化、低消費電力化を達成することが可能となる。なお、図9中の点線枠120内の各回路は、信号処理用LSIとして、単一の半導体集積回路装置で構成され、同様に、図9中の点線枠130内の各回路は、ディスク駆動用LSIとして、単一の半導体集積回路装置で構成される。また、本実施の形態3のA/D変換器は、図9に示すハードディスク装置以外に、磁気テープ、光ディスク装置、デジタルビデオディスク等にも適用可能である。さらに、本実施の形態1の差動増幅



(12)

21

器は、前記した比較器、A/D変換器以外の、オペアンブ等の一般の増幅器として使用可能であることは言うまでもない。

【0053】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0054】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明によれば、差動増幅器において、消費電流、負荷インピーダンスを増加させることなく、電圧増幅利得を向上させることが可能となる。

(2) 本発明によれば、比較器において、消費電力を増大させることなく、動作速度を向上させることが可能となる。

(3) 本発明によれば、A/D変換器において、消費電力を増大させることなく、動作速度を向上させることが可能となる。

(4) 本発明によれば、記憶装置において、消費電力を増大させることなく、動作速度を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の差動増幅器の回路構成を示す回路図である。

【図2】従来のフォールデッドカスコード型比較器をアンプ形式にした回路構成を示す回路図である。

【図3】本発明の実施の形態1の差動増幅器の変形例の回路構成を示す回路図である。

【図4】本発明の実施の形態2の比較器の回路構成を示

22

す回路図である。

【図5】本発明の実施の形態2の比較器の動作を説明するための波形図である。

【図6】本発明の実施の形態3のフラッシュ型A/D変換器の概略構成を示すブロック図である。

【図7】図6に示すレベルシフト回路、比較器およびフランチ回路の回路構成を示す回路図である。

【図8】図7に示す各部のタイミングチャートを示す図である。

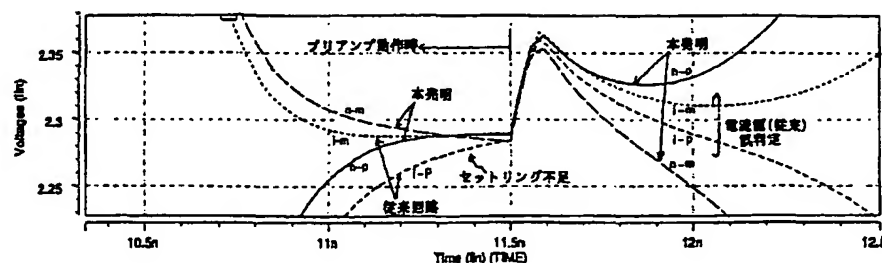
【図9】本発明の実施3の形態のA/D変換器が使用される装置の一例としてハードディスク装置の概略構成を示すブロック図である。

【符号の説明】

1…T/H (Track and Hold) 回路、2…リファレンス電圧発生回路、3…レベルシフト回路、4…比較器、5…ラッチ回路、6…エンコーダ、7…バイアス回路、8…タイミング発生回路、51…カスコードラッチ回路、52…RTZラッチ回路、53…NORラッチ回路、100…ハードディスク装置、101…ハードディスクコントローラ、102…エンコーダ/デコーダ回路、103…リード・ライトアンプ、104…AGCアンプ、105…アクティブフィルタ、106…A/D変換器、107…波形等化器、108…ビタビディテクタ、109…リード/ライトPLL回路、110…ボイスコイルモータドライバ、111…スピンドルモータドライバ、112…磁気ヘッド、113…磁気ディスク、114…スピンドルモータ、115…マイコン、120、130…半導体集積回路装置 (LSI)、200…ホストコンピュータ、210…ディスクコントローラ、TP…p型MOSトランジスタ、TN…n型MOSトランジスタ、R…抵抗、IN…入力端子、OUT…出力端子、NOR…ノア回路。

【図5】

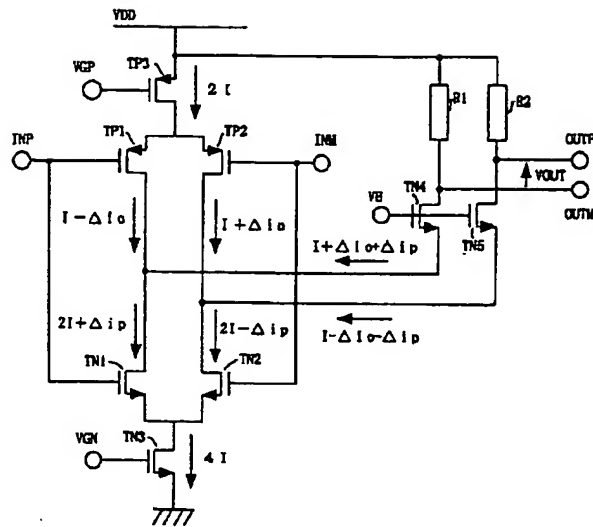
図5



(13)

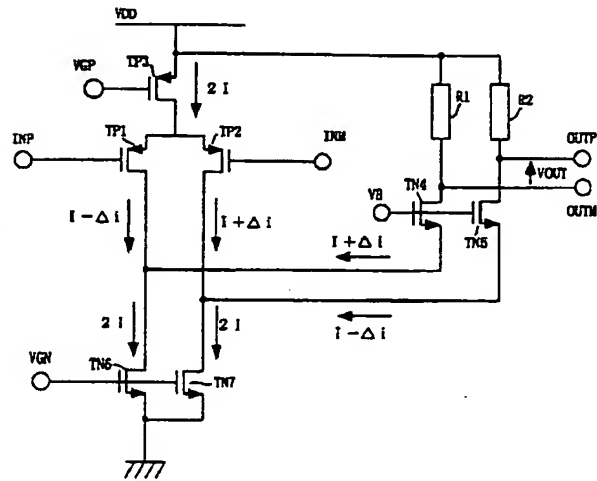
【図1】

図1



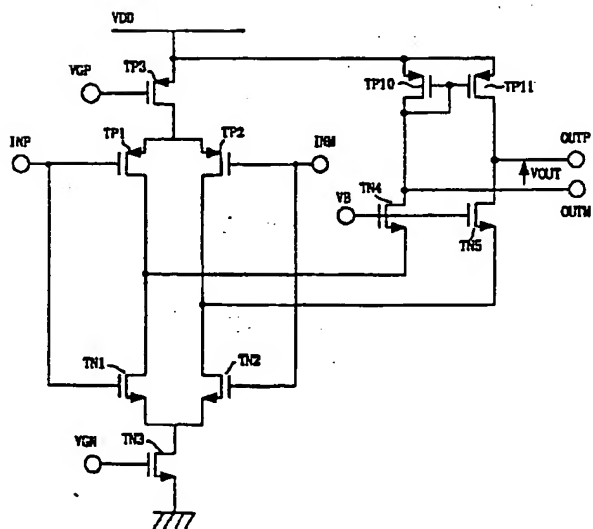
【図2】

図2



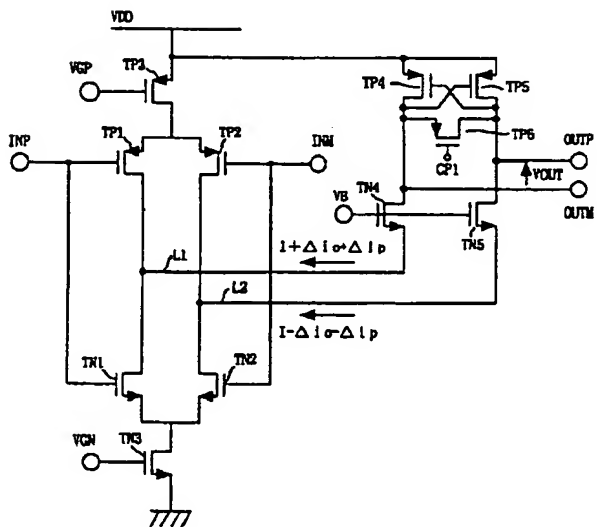
【図3】

図3



【図4】

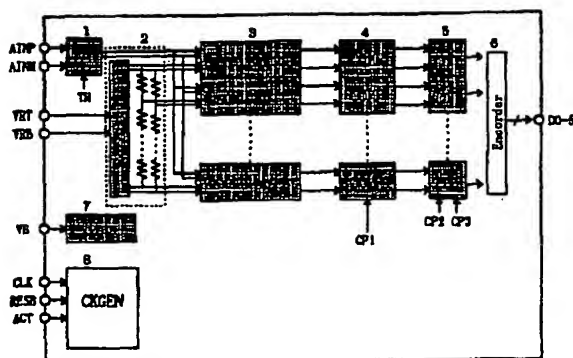
図4



(14)

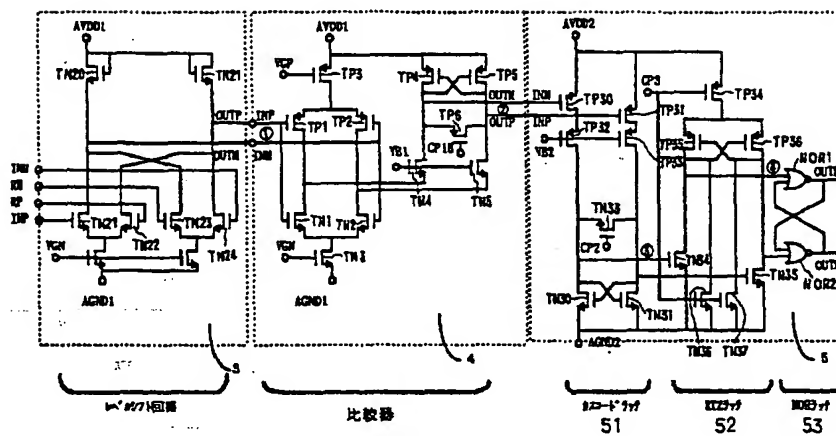
【図6】

圖 6



【图7】

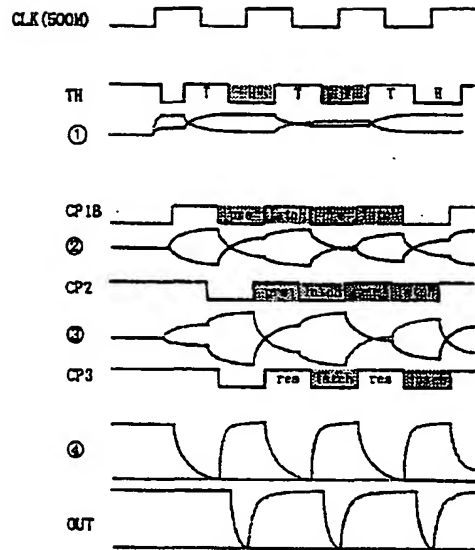
图 7



(15)

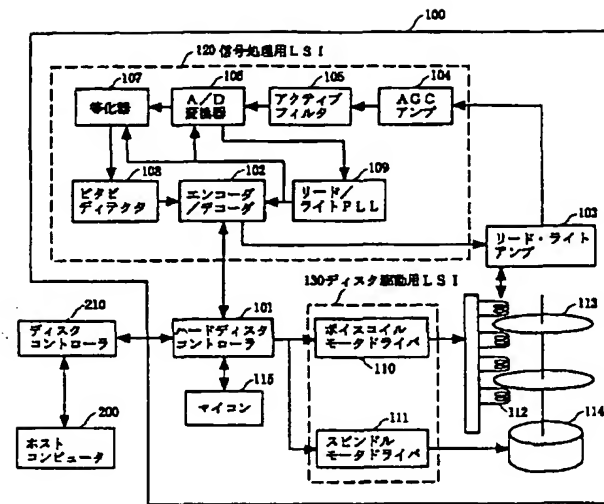
【図8】

図8



【図9】

図9



フロントページの続き

Fターム(参考) 5J022 AA06 BA05 BA06 CA10 CF01  
 CF02 CF04 CG01  
 5J039 DA09 DA10 KK04 KK16 MM03  
 MM04 NN03  
 5J066 AA01 AA12 CA35 CA65 FA09  
 HA10 HA17 HA19 HA25 HA39  
 KA00 KA02 KA06 KA09 KA12  
 KA17 KA18 KA19 KA32 KA34  
 KA41 MA17 MA21 ND01 ND11  
 ND22 ND23 PD02 SA00 SA09  
 TA01 TA06  
 5J092 AA01 AA12 CA35 CA65 FA09  
 HA10 HA17 HA19 HA25 HA39  
 KA00 KA02 KA06 KA09 KA12  
 KA17 KA18 KA19 KA32 KA34  
 KA41 MA17 MA21 SA00 SA09  
 TA01 TA06

1. *Pharmaceutical industry*—The pharmaceutical industry is the largest of the three industries, with sales of \$10.5 billion in 1990. It is the only industry in the sample that has a significant number of firms with sales exceeding \$1 billion. The industry is characterized by a high degree of concentration, with the top 10 firms accounting for 40% of total sales. The industry is also characterized by a high degree of innovation, with a large number of new drugs being developed and marketed each year.